

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07202162 A**

(43) Date of publication of application: **04.08.95**

(51) Int. Cl.

**H01L 27/15**

**H01L 33/00**

**H01S 3/18**

(21) Application number: **05337172**

(71) Applicant: **NEC CORP**

(22) Date of filing: **28.12.93**

(72) Inventor: **KAJITA MIKIHIRO**

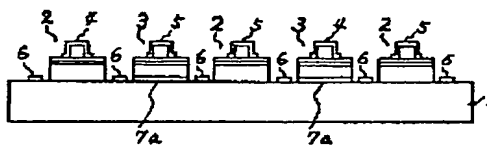
**(54) OPTICAL INTEGRATED CIRCUIT AND  
MANUFACTURE THEREOF**

**(57) Abstract:**

**PURPOSE:** To enable flat light emitting devices which emit light rays of different wavelengths and are formed on the same substrate by a method wherein a first electronic device and a second electronic device different from the first electronic device in kind or characteristics are provided, and either the first electronic device or the second electronic device is formed to serve as a flat light emitting device.

**CONSTITUTION:** An optical integrated circuit is equipped with a first flat light emitting laser 2 (first electronic element) which emits light rays of wavelength  $0.96\mu\text{m}$  and includes an epitaxial layer that is deposited to selectively coat the surface of an N-GaAs substrate 1 and a second flat light emitting laser 3 (second electronic element) which is different from the first flat light emitting laser 2 in characteristics, emits light rays of wavelength  $0.98\mu\text{m}$ , and includes a semiconductor pellet bonded to the N-GaAs substrate 1 through the intermediary of a bonding member (InP layer 7a). By this setup, light sources which have a plurality of wavelengths or a pair of a light emitting device and a photodetective device variable in wavelength can easily be integrated on the same wafer, or separate flat optical devices can be individually formed under suitable conditions and then integrated together by bonding.

**COPYRIGHT:** (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 2 0 2 1 6 2

(43) 公開日 平成 7 年 (1995) 8 月 4 日

(51) Int. Cl. <sup>6</sup>

H01L 27/15

33/00

H01S 3/18

識別記号

庁内整理番号

A 8832-4M

A

F I

技術表示箇所

審査請求 有 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願平 5 - 3 3 7 1 7 2

(22) 出願日 平成 5 年 (1993) 1 2 月 2 8 日

(71) 出願人 0 0 0 0 0 4 2 3 7

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 梶田 幹浩

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

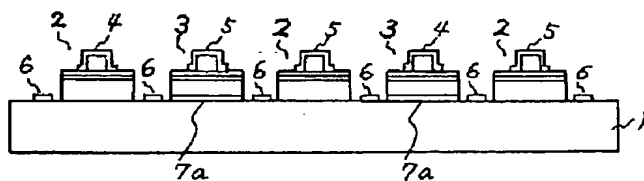
(74) 代理人 弁理士 京本 直樹 (外 2 名)

(54) 【発明の名称】 光集積回路およびその製造方法

(57) 【要約】

【構成】 n - G a A s 基板 1 にエピタキシャル成長を利用して形成した第 1 の面型光素子 2 と、他の基板上に形成した半導体ペレットを I n P 層 7 a を介して接合した第 2 の面型光素子 3 等を設ける。

【効果】 特性の良好な複数の種類の面型光素子を同一基板に集積できる波長多重の光情報伝達に利用できる。



## 【特許請求の範囲】

【請求項1】 半導体基板の表面を選択的に被覆するエピタキシャル層を含む第1の電子素子と、前記半導体基板に接合部材を介して接合された半導体ペレットを含み前記第1の電子素子とは種類または特性の異なる第2の電子素子とを有し、前記第1の電子素子または第2の電子素子の少なくとも一方が面型光素子であることを特徴とする光集積回路。

【請求項2】 面型光素子と電子集積回路とが集積されている請求項1記載の光集積回路。

【請求項3】 面型光素子が面発光素子、面型受光素子または面型光変調素子である請求項1または2記載の光集積回路。

【請求項4】 第1の半導体基板の表面に、複数の半導体膜を順次にエピタキシャル成長したのちエッチングして第1のメサ状構造体を形成する工程と、第2の半導体基板の表面に所定の分離層をエピタキシャル成長し、他の複数の半導体膜をエピタキシャル成長し所定の接合層を堆積しエッチングすることによって第2のメサ状構造体を形成する工程と、前記第1の半導体基板の表面に前記第2のメサ状構造体表面の接合層を接触させた状態で熱処理を行なって接合させた後前記分離層をエッチングにより除去して前記第2の半導体基板を取除く工程と、前記第1のメサ状構造体および前記第2のメサ状構造体が倒立して前記第1の半導体基板表面に接合した半導体ペレットに所要の加工を施してそれぞれ第1の電子素子および第2の電子素子を形成する工程とを有し、前記第1の電子素子または第2の電子素子の少なくとも一方が面型光素子であることを特徴とする光集積回路の製造方法。

【請求項5】 第1の半導体基板の表面に、所定の接合層および複数の半導体膜を順次にエピタキシャル成長したのち前記所定の接合層を残してエッチングして第1のメサ状構造体を形成する工程と、第2の半導体基板の表面に所定の分離層をエピタキシャル成長し、他の複数の半導体膜をエピタキシャル成長しエッチングすることによって第2のメサ状構造体を形成する工程と、前記接合層の表面に前記第2のメサ状構造体表面を接触させた状態で熱処理を行なって接合させた後前記分離層をエッチングにより除去して前記第2の半導体基板を取除く工程と、前記第1のメサ状構造体および前記第2のメサ状構造体が倒立して前記第1の半導体基板表面に接合した半導体ペレットに所要の加工を施してそれぞれ第1の電子素子および第2の電子素子を形成する工程とを有し、前記第1の電子素子または第2の電子素子の少なくとも一方が面型光素子であることを特徴とする光集積回路の製造方法。

【請求項6】 面型光素子と電子集積回路とを集積する請求項4または5記載の光集積回路。

【請求項7】 面型光素子が面発光素子、面型受光素子

または面型光変調素子である請求項4、5または6記載の光集積回路の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は光集積回路に関し特に光情報伝達に使用される面型光素子を含む光集積回路およびその製造方法に関する。

## 【0002】

【従来の技術】 光のもつ並列性および空間伝播性を情報処理に応用するためには面方向に素子を二次元的に集積化することが望ましい。こうした面発光素子の研究の経緯は1988年発行の伊賀他著のジャーナル・オブ・カンタム・エレクトロニクス(Journal of Quantum Electronics)誌、第24巻、第1844頁～第1855頁記載の論文にまとめられている。今後さらに高密度な情報処理を行って行くために、光の波長を情報として用いて行くことが重要となる。

## 【0003】

【発明が解決しようとする課題】 従来の光集積回路において複数の固定波長を有する面発光素子を同一基板に形成しようとしても、同一ウエハ内では再成長などの比較的難しい技術に頼らざるを得なかった。この再成長の技術にしても、何度も繰り返すことは界面処理の都合から、事実上不可能であった。また、同一ウエハ内に発光素子と受光素子、または光変調器等を作製する場合、一度の結晶成長およびプロセスでそれらをすべて最適化した構成とすることは困難であった。従って、いずれかの素子の特性を犠牲にしなければならなかった。

【0004】 本発明の目的は、発光または受光波長の異なる複数の面型光素子を容易にかつ特性上の犠牲をはらうことなく実現できる光半導体回路とその製造方法を提供することにある。本発明の他の目的は、面型光素子と電子集積回路を容易にかつ特性上の犠牲をはらうことなく実現できる光半導体回路とその製造方法を提供することにある。

## 【0005】

【課題を解決するための手段】 本発明の光集積回路は、半導体基板の表面を選択的に被覆するエピタキシャル層を含む第1の電子素子と、前記半導体基板に接合部材を介して接合された半導体ペレットを含み前記第1の電子素子とは種類または特性の異なる第2の電子素子とを有し、前記第1の電子素子または第2の電子素子の少なくとも一方が面型光素子であるというものである。

【0006】 また、本発明の光集積回路の製造方法は、第1の半導体基板の表面に、複数の半導体膜を順次にエピタキシャル成長したのちエッチングして第1のメサ状構造体を形成する工程と、第2の半導体基板の表面に所定の分離層をエピタキシャル成長し、他の複数の半導体膜をエピタキシャル成長し所定の接合層を堆積しエッチ

ングすることによって第2のメサ状構造体を形成する工程と、前記第1の半導体基板の表面に前記第2のメサ状構造体表面の接合層を接触させた状態で熱処理を行なって接合させた後前記分離層をエッチングにより除去して前記第2の半導体基板を取除く工程と、前記第1のメサ状構造体および前記第2のメサ状構造体が倒立して前記第1の半導体基板表面に接合した半導体ペレットに所要の加工を施してそれぞれ第1の電子素子および第2の電子素子を形成する工程とを有し、前記第1の電子素子または第2の電子素子の少なくとも一方が面型光素子であるというものである。

【0007】また、第1の基板の表面に所定の接合層をエピタキシャル成長してから前記複数の半導体層を順次にエピタキシャル成長したのち前記所定の接合層を残してエッチングして第1のメサ状構造体を形成してもよく、その場合は第2のメサ状構造体の最上層に接合層を形成する必要はない。

【0008】

【作用】第1の電子素子を形成するため第1のメサ状構造体を形成した第1の半導体基板と第2の電子素子を形成するための第2のメサ状構造体を形成した第2の半導体基板とを準備し、第1の半導体基板に第2のメサ状構造体を接合させてから第2の半導体基板を取除くので従来からある面発光素子や電子集積回路の技術を利用できるばかりでなく、接合と分離とは比較的工数が少なくかつ再成長技術のように接合する界面の状態に厳しく制限を受けることなく、一定の条件下では高い確率で達成可能な技術である。従って、本発明によれば、同一ウエハ上に複数の発光波長をもつ光源や波長可変を行える発光素子-受光素子対の集積化などを容易に実現することができ、また個々の面型光素子をそれぞれに適した条件で作成した後に接合し集積化することも可能となる。

【0009】

【実施例】次に本発明の実施例について説明する。

【0010】図1、図2を参照すると本発明の第1の実施例は、 $n$ -GaAs基板1の表面を選択的に被覆するエピタキシャル層を含む発光波長 $0.96\mu\text{m}$ の第1の面発光レーザ2（第1の電子素子）と、 $n$ -GaAs基板1に接合部材（InP層7a）を介して接合された半導体ペレットを含み第1の面発光レーザとは特性の異なる発光波長 $0.98\mu\text{m}$ の第2の面発光レーザ3（第2の電子素子）とを有している。

【0011】図2は図1の部分拡大図であるが、21は $n$ -DBRで厚さ $81.2\text{nm}$ の $n$ -AlAs層21aと厚さ $68.1\text{nm}$ の $n$ -GaAs層21bとを交互に積層した $n$ 型半導体多層膜（18.5周期）、26Aは $p$ 型DBRで、厚さ $81.2\text{nm}$ の $p$ -AlAs層26aと厚さ $68.1\text{nm}$ の $p$ -GaAs層26bとを交互に積層した $p$ 型半導体層膜（15周期）である。22は厚さ $0.285\mu\text{m}$ の $n$ -Al<sub>0.15</sub>Ga<sub>0.85</sub>Asクラッド層、24は厚さ $0.57\mu\text{m}$ の $p$ -Al<sub>0.15</sub>Ga<sub>0.85</sub>Asクラッド層、23は活性層で厚さ $10\text{nm}$ のIn<sub>0.15</sub>Ga<sub>0.85</sub>As層をAl<sub>0.15</sub>Ga<sub>0.85</sub>As層で挟んだ3つの量子井戸を有している。25-1、25-2はプロトン注入による高抵抗領域である。

【0012】同様に、31は $n$ 型DBRで厚さ $82.9\text{nm}$ の $n$ -AlAs層31aと厚さ $69.5\text{nm}$ の $n$ -GaAs層31bとを交互に積層した $n$ 型半導体多層膜（18.5周期）、36Aは $p$ 型DBRで厚さ $82.9\text{nm}$ の $p$ -AlAs層36aと厚さ $69.5\text{nm}$ の $p$ -GaAs層36bとを交互に積層した $p$ 型半導体多層膜（15周期）、32は厚さ $0.29\mu\text{m}$ の $n$ -Al<sub>0.15</sub>Ga<sub>0.85</sub>Asクラッド層、34は厚さ $0.58\mu\text{m}$ の $p$ -Al<sub>0.15</sub>Ga<sub>0.85</sub>Asクラッド層、33は活性層で厚さ $10\text{nm}$ のIn<sub>0.15</sub>Ga<sub>0.85</sub>As層をAl<sub>0.15</sub>Ga<sub>0.85</sub>As層で挟んだ3つの量子井戸を有している。35-1、35-2は高抵抗領域である。

【0013】次に、第1の実施例の製造方法について説明する。

【0014】まず、図3に示すように第1の半導体基板1（ $n$ -GaAs基板）の表面に $n$ -DBR21、 $n$ -Al<sub>0.15</sub>Ga<sub>0.85</sub>Asクラッド層22、活性層23、 $p$ -Al<sub>0.15</sub>Ga<sub>0.85</sub>Asクラッド層24、 $p$ -DBR26を順次にエピタキシャル成長させ、塩素ガスによる反応性イオンビームエッチング（RIE）を利用して $50\mu\text{m} \times 50\mu\text{m}$ 程度の第1のメサ状構造体2Aを3個つくる。また、図4に示すように、半絶縁性GaAsからなる第2の半導体基板1-1の表面に分離層8として厚さ $0.5\mu\text{m}$ のAl<sub>0.15</sub>Ga<sub>0.85</sub>As層をエピタキシャル成長する。次いで、 $p$ -GaAs層36bと $p$ -AlAs層36aとを交互に積層して $p$ -DBR36、 $p$ -Al<sub>0.15</sub>Ga<sub>0.85</sub>Asクラッド層34、活性層33、 $n$ -Al<sub>0.15</sub>Ga<sub>0.85</sub>As層32、 $n$ -DBR31を順次にエピタキシャル成長させた後、接合部材として厚さ $5 \sim 10\text{nm}$ のInP層7をエピタキシャル成長させ、塩素ガスによるRIEを利用して $50\mu\text{m} \times 50\mu\text{m}$ 程度の第2のメサ状構造体3Aを2個つくる。

【0015】次に、第1のメサ状構造体2Aを設けた第1の基板1を硫酸系のエッチング液で軽くエッチングした後、図5（a）に示すように、第2のメサ状構造体3Aを設けた第2の基板1-1を裏返して、第1、第2のメサ状構造体の間隔を目合せしながら重ね合せInP層7を第1の基板1の表面に接触させた状態で、 $\text{H}_2$ 雰囲気中において、 $700^\circ\text{C}$ 、90分程度の熱処理を行なう。こうして、InP層7とGaAsとが接合される。

【0016】接合された状態のウエハをバッファード弗酸に浸すと分離層8が選択的にエッチングされ、図5（b）に示すように、第2の基板1-1を除去することができる。

【0017】続いて、 $n$ -DBR26、36をそれぞれ

図1、図2に示すように、 $10\mu\text{m}\times 10\mu\text{m}$ 程度にパターンニングしたのち、水素イオンを $100\text{keV}$ で、 $5\times 10^{14}\text{cm}^{-2}$ 程度注入する。高抵抗領域25-1、25-2、35-1、35-2を形成するためである。こうして第1の面発光レーザ本体（第1のメサ状構造体）と第2の面発光レーザ本体（半導体ペレット）を同一基板上に形成することができる。次に、p側電極4、5、n側電極6を設けることにより、発光波長の異なる2種類の面発光レーザを同一基板上に形成することができる。

【0018】面発光レーザの特性に最も影響の大きいエピタキシャル成長工程を素子毎に独立に行なうことができ、接合工程および分離工程による悪影響も殆ど受けない。

【0019】なお、n-GaAs基板表面に厚さ5~10nmのInP層をエピタキシャル成長してからn-BR21等を堆積してもよい。このとき、InP膜は除去しない。更に、第2の半導体基板上のInP層7を形成する必要はない。要するに接合層としてのInP層は第1の基板表面か第2のメサ状構造体の表面が少なくともいずれか一方に形成しておけばよい。

【0020】以上、2種類の面発光レーザを集積する場合について説明したが、第1の面発光レーザ本体となる第1のメサ状構造体を設けた第1の半導体基板上に、順次に第2のメサ状構造体、第3のメサ状構造体、...をそれぞれ接合部材を介して貼付けたのち分離層を除去することにより3種類以上の面発光レーザを同一基板上に集積できる。その場合、第1のメサ状構造体の高さが一番低く、順次に高いメサ状構造体を貼付けるようにすればよい。前述の実施例では第2のメサ状構造体3Aを形成するとき、図4に示すように分離層8はエッチングしなかったが、第2のメサ状構造体3Aのn-DBR36直下部は除き分離層8あるいは更にその下の第2の半導体基板1-1までエッチングして高さを調整することも可能である。

【0021】Al、Ga<sub>1-x</sub>As層をバッファード弗酸でエッチングする場合組成比によって差がある。組成比が約0.35を越えるとエッチング速度が大きくなる。従って分離層は $0.35 < x \leq 1$ 、クラッド層は $0 < x < 0.35$ とするのが好ましい。発光波長によってはクラッド層としてもっと大きな組成比のものを使用する場合もあるが、その場合は、第1のメサ状構造体2A、第2のメサ状構造体の側面をAu-Ti合金膜で保護しておき、接合工程と分離工程の後でリソグラフィ技術を利用して除去すればよい。

【0022】また、第1、第2のメサ状構造体を第1の基板上に形成した後（図5（b）に示す状態で）、発光層周囲のパッシベーションのために結晶成長により例えばアンドープのGaAsといった高抵抗層メサ状構造体と半導体ペレット間に形成したのち必要なパターンニング、

電極形成を行ったり、さらにその高抵抗層上にエピタキシャル膜を形成して適当な素子等を設けることもできる。

【0023】図6に第2の実施例を示す。

【0024】この実施例は第1の電子素子として面型受光素子9を、第2の電子素子として面発光レーザ2とを有している。面型受光素子9は面発光レーザ2と基本的に同一構造を有しているが、n-DBR41がn-AlAs層21aとn-GaAs層21bの組を10組（10周期）有している点で相違している。n側電極6を接地し、p側電極10に負電圧を印加すれば受光素子として機能する。

【0025】本実施例の製造方法は第1の実施例の製造方法に準じるので改めて説明しない。

【0026】本実施例では面発光レーザの発振波長 $\lambda_1$ と面型受光素子の受光波長（感度のある波長） $\lambda_2$ とは等しくなっているが、 $\lambda_1$ と $\lambda_2$ とを異ならせておけば、波長 $\lambda_2$ の入射光を面型発光素子で検出し面発光レーザを動作させることにより波長変換（ $\lambda_1$ から $\lambda_2$ ）を行なうことができる。

【0027】この面型受光素子は光変調素子として動作させることもできる。p側電極に適当な負の交流電圧を印加すればよいのである。

【0028】以上、面型光素子を同一基板上に集積する場合について説明したが、GaAs基板を使用する電子集積回路（FET等による論理集積回路）を面型光素子と同一基板上に集積できる。

【0029】以上、面発光素子として垂直共振器型の面発光レーザを例として説明したが、レーザの具体的構造はこれに限らない。またレーザに限らず面発光素子も使用できる。

【0030】また、分離層としてAl、Ga<sub>1-x</sub>As層を例としてあげたが、基板上にエピタキシャル成長可能で選択的にエッチング可能なものであれば何でもよい。同様に接合部材もInP膜に限らず接合可能で素子動作に悪影響を及ぼさないものであれば何でもかまわない。

【0031】

【発明の効果】以上説明したように本発明によれば、発光または受光波長の異なる面型光素子や電子集積回路に必要なエピタキシャル層形成工程までをそれぞれ別の基板を用いて行なった後に接合し分離することにより同一基板上に複数の面型光素子や電子集積回路を集積させることができる。従って、それぞれの素子の特性は技術レベルの範囲内で最適なものにすることができる。これにより波長多重または高密度の光情報伝達に使用できる光集積回路が実現できる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す断面図である。

【図2】図1の部分拡大図である。

【図3】第1の実施例の製造方法の説明のための断面図

である。

【図4】第1の実施例の製造方法の説明のための断面図である。

【図5】第1の実施例の製造方法の説明のため(a), (b)に分図して示す工程順断面図である。

【図6】第2の実施例を示す断面図である。

【符号の説明】

- 1 第1の半導体基板 (n-GaAs基板)  
 1-1 第2の半導体基板  
 2 第1の面発光レーザ  
 2A 第1のメサ状構造体  
 3 第2の面発光レーザ  
 3A 第2のメサ状構造体  
 4, 5 p側電極  
 5 n側電極

7, 7a, 7b InP層

8 分離層

9 面発光素子

10 p側電極

21, 31, 41 n-DBR

21a, 31a n-AlAs層

21b, 31b n-GaAs層

22, 32 n-Al<sub>0.15</sub>Ga<sub>0.85</sub>Asクラッド層

23, 33 活性層 (MQW層)

10 24, 34 p-Al<sub>0.15</sub>Ga<sub>0.85</sub>As層

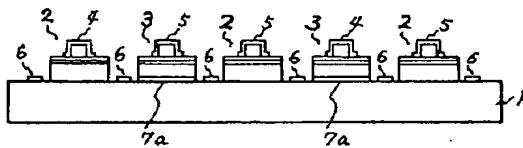
25-1, 25-2 高抵抗領域

26A, 36A p-DBR

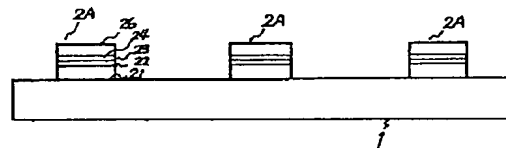
26a, 36a p-AlAs層

26b, 36b p-GaAs層

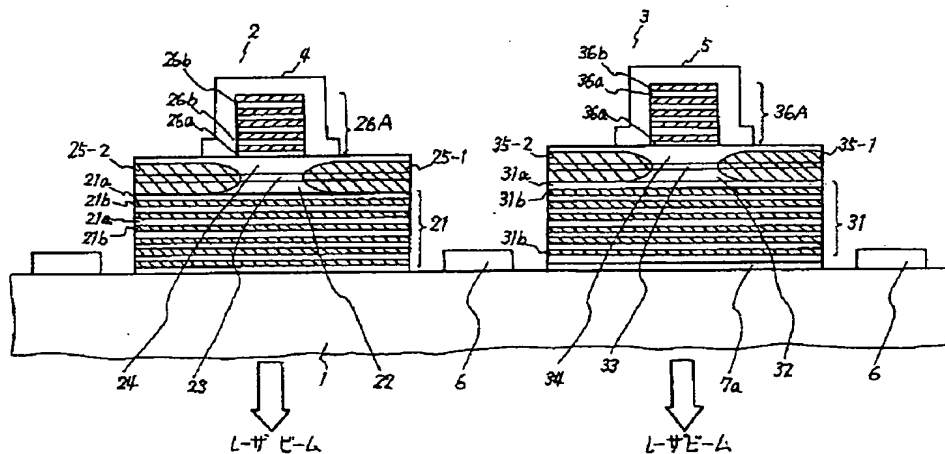
【図1】



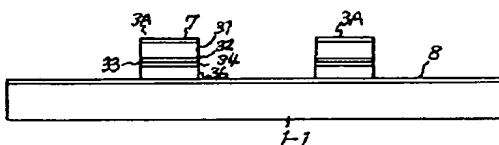
【図3】



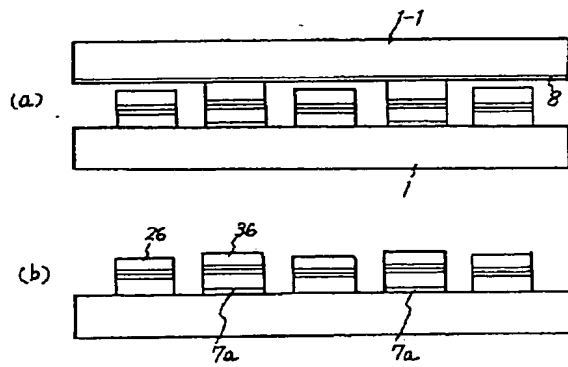
【図2】



【図4】



【図5】



【図6】

